

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-138773

(43)Date of publication of application : 28.05.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 01-034404

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.02.1989

(72)Inventor : NAKAGAWA AKIO
YAMAGUCHI YOSHIHIRO

(30)Priority

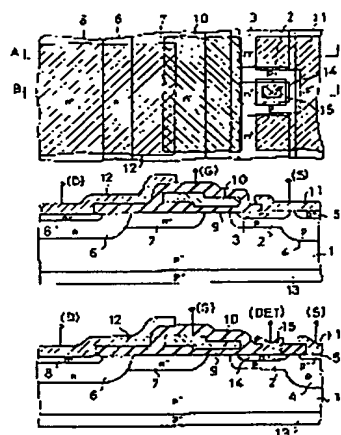
Priority number : 63127403 Priority date : 25.05.1988 Priority country : JP

(54) MOSFET

(57)Abstract:

PURPOSE: To detect a drain current by a method wherein a voltage detecting terminal layer of a second conductivity type is provided inside a base layer independent of a source layer, and a voltage detecting electrode is provided the voltage detecting terminal layer.

CONSTITUTION: A p-type base layer 2 is selectively formed on the surface of a high resistive semiconductor layer 1, and an n⁺-type source layer 3 is formed on the surface of the p-type base layer 2. An n-type buffer layer 6 is formed on the surface of the high resistive semiconductor layer 1 separate from the p-type base layer 2 by a specified distance, and an n⁺-drain layer 8 is formed thereon. A gate electrode 10 is formed on the p-type based layer 2 through the intermediary of a gate insulating film 9. And, an n⁺-type voltage detecting terminal layer 14 is provided inside the p-type base layer 2 independently of the n⁺-source layer 3, and a voltage detecting electrode 15 is brought into contact with the terminal layer 14. By this setup, a drain current can be detected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑩ 公開特許公報(A) 平2-138773

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月28日

H 01 L 29/784

8422-5F H 01 L 29/78 3 0 1 D
8422-5F T
8422-5F 3 2 1 J

審査請求 未請求 請求項の数 13 (全15頁)

⑭ 発明の名称 MOSFET

⑰ 特 願 平1-34404

⑱ 出 願 平1(1989)2月14日

優先権主張 ⑲ 昭63(1988)5月25日 ⑳ 日本(JP) ㉑ 特願 昭63-127403

⑳ 発 明 者 中 川 明 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内㉒ 発 明 者 山 口 好 広 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

㉓ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉔ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

M O S F E T

2. 特許請求の範囲

(1) 高抵抗半導体層の表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層を有し、前記ベース層から所定距離離れて前記高抵抗半導体層の表面または裏面に形成された第2導電型ドレイン層を有し、前記ベース層上にゲート絶縁膜を介してゲート電極が形成されたM O S F E Tにおいて、前記ベース層内に前記ソース層とは独立した第2導電型の電圧検出端子層を有し、この電圧検出端子層に電圧検出電極が設けられていることを特徴とするM O S F E T。

(2) 高抵抗半導体層の表面に選択的に第1導電型ベース層が形成され、その表面に第2導電型ソース層が選択的に形成され、前記ベース層から所定距離離れて前記高抵抗半導体層表面に高抵抗ドリフト層を持つ第2導電型ドレイン層が形成さ

れ、前記ベース層から高抵抗ドリフト層上にまたがってゲート絶縁膜を介してゲート電極が形成されたM O S F E Tにおいて、前記ベース層内に前記ソース層とは独立した第2導電型の電圧検出端子層を有し、この電圧検出端子層に電圧検出電極が設けられていることを特徴とするM O S F E T。

(3) 高抵抗半導体層の表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層を有し、前記第1導電型ベース層に所定距離離れて前記高抵抗半導体層表面に形成された高抵抗ドリフト層をもつ第2導電型ベース層、その表面に選択的に形成された第1導電型ドレイン層を有し、前記第1導電型ベース層から高抵抗ドリフト層上にまたがってゲート絶縁膜を介してゲート電極が形成された構造の導電変調型M O S F E Tにおいて、前記第1導電型ベース層内に前記ソース層とは独立した第2導電型の電圧検出端子層を有し、この電圧検出端子層に電圧検出電極が設けられていることを特徴とする導電変調型M O S F E T。

(4) 第1導電型ドレイン層上に高抵抗の第2導電型ベース層を有し、この第2導電型ベース層の表面に選択的に第1導電型ベース層が形成され、この第1導電型ベース層表面に選択的に第2導電型ソース層が形成され、この第2導電型ソース層と前記第2導電型ベース層間の第1導電型ベース層上にゲート絶縁膜を介してゲート電極が形成された縦型の導電変調型MOSFETにおいて、前記第1導電型ベース層内に前記ソース層とは独立した第2導電型の電圧検出端子層を有し、この電圧検出端子層に電圧検出電極が設けられていることを特徴とする導電変調型MOSFET。

(5) 第1導電型ドレイン層上に高抵抗の第2導電型ベース層を有し、この第2導電型ベース層の表面に選択的に第1導電型ベース層が形成され、この第1導電型ベース層表面に選択的に第2導電型ソース層が形成され、この第2導電型ソース層と前記第2導電型ベース層間の第1導電型ベース層上にゲート絶縁膜を介してゲート電極が形成された縦型の導電変調型MOSFETにおいて、前

出電極が設けられ、第2導電型ドレイン層と前記ドレイン電極間にドレイン電極側が第2導電型層となるpn接合ダイオードを内蔵する、ことを特徴とするMOSFET。

(7) 高抵抗半導体層表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層、前記ベース層から所定距離離れて前記高抵抗半導体層表面または裏面に形成されたドレイン層、および前記ベース層上にゲート絶縁膜を介して形成されたゲート電極を有する主MOSFETと、

主MOSFETとは少なくともドレイン層が分離されて形成され、ソース、ドレインおよびゲート電極がそれぞれ主MOSFETのソース、ドレインおよびゲート電極と共通接続された過電流検出用MOSFETとを備え、

前記過電流検出用MOSFETは、前記ソース電極が第1導電型ベース層に接続され、第2導電型ソース層に前記ソース電極とは独立した電圧検出電極が設けられ、第2導電型ドレイン層と所定

記第2導電型ベース層表面に前記第1導電型ベース層とは独立した第1導電型の電圧検出端子層を有し、この電圧検出端子層に電圧検出電極が設けられていることを特徴とする導電変調型MOSFET。

(6) 高抵抗半導体層表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層、前記ベース層から所定距離離れて前記高抵抗半導体層表面または裏面に形成されたドレイン層、および前記ベース層上にゲート絶縁膜を介して形成されたゲート電極を有する主MOSFETと、

主MOSFETとは少なくともドレイン層が分離されて形成され、ソース、ドレインおよびゲート電極がそれぞれ主MOSFETのソース、ドレインおよびゲート電極と共通接続された過電流検出用MOSFETとを備え、

前記過電流検出用MOSFETは、前記ソース電極が第1導電型ベース層に接続され、第2導電型ソース層に前記ソース電極とは独立した電圧検

出電極が設けられ、第2導電型ドレイン層と前記ドレイン電極間にドレイン電極側が第2導電型層となるpn接合ダイオードを内蔵する、ことを特徴とするMOSFET。

(8) 前記主MOSFETおよび過電流検出用MOSFETのドレイン層に接して高抵抗の第2導電型ドリフト層を有することを特徴とする請求項6または7に記載のMOSFET。

(9) 前記主MOSFETが第2導電型パッファ層で囲まれた第1導電型ドレイン層を有する導電変調型MOSFETであることを特徴とする請求項1記載6、7または8のいずれかに記載のMOSFET。

(10) 高抵抗半導体層の表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層を有し、前記ベース層から所定距離離れて前記高抵抗半導体層の表面

または裏面に形成されたドレイン層を有し、前記ベース層上にゲート絶縁膜を介してゲート電極が形成されたMOSFETにおいて、前記第1導電型ベース層と独立にこれに隣接して第1導電型拡散層を有し、この拡散層表面に第2導電型の電圧検出端子層が形成され、この電圧検出端子層に電圧検出電極が設けられ、かつ前記電圧検出端子層とソース層間に挟まれた領域表面にゲート絶縁膜を介して前記ゲート電極を延在させていることを特徴とするMOSFET。

(11) 高抵抗半導体層の表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層を有し、前記ベース層から所定距離離れて前記高抵抗半導体層の表面または裏面に形成されたドレイン層を有し、前記ベース層上にゲート絶縁膜を介してゲート電極が形成されたMOSFETにおいて、前記第1導電型ベース層内に前記ソース層とは独立に第2導電型の電圧検出端子層を有し、この電圧検出端子層に一次電圧検出電極が設けられ、かつ一次電圧検

出電極が絶縁膜上に形成された多結晶シリコン膜を用いて構成されたpn接合ダイオードを介して二次電圧検出電極に接続されていることを特徴とするMOSFET。

(12) 高抵抗半導体層の表面に選択的に形成された第1導電型ベース層、その表面に選択的に形成された第2導電型ソース層を有し、前記ベース層から所定距離離れて前記高抵抗半導体層の表面または裏面に形成されたドレイン層を有し、前記ベース層上にゲート絶縁膜を介してゲート電極が形成されたMOSFETにおいて、前記第2導電型ソース層とゲート電極に挟まれた領域の第1導電型ベース層の高抵抗層部の表面に電圧検出電極が設けられていることを特徴とするMOSFET。

(13) 高抵抗半導体層の表面に選択的に第1導電型ベース層が形成され、その表面に選択的に第2導電型ソース層が形成され、前記ベース層から所定距離離れて前記高抵抗半導体層表面に高抵抗ドリフト層を持つ第2導電型ドレイン層が形成され、前記ベース層から高抵抗ドリフト層にまたが

ってゲート絶縁膜を介してゲート電極が形成されたMOSFETにおいて、前記第1導電型ベース層と高抵抗ドリフト層の間に第2導電型の高抵抗層からなる電圧検出端子層が設けられ、この電圧検出端子層に電圧検出電極が設けられ、かつ電圧検出端子層と前記第1導電型ベース層に挟まれた領域表面にゲート絶縁膜を介して前記ゲート電極を延在させたことを特徴とするMOSFET。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明は、過電流検出機能を備えたMOSFETに関する。

（従来の技術）

従来より、集積回路の出力段にMOSFETを用いる場合、その電流を検出して素子を過電流から保護する保護回路が集積回路内に内蔵される。出力段MOSFETの電流を検出する手段として、ソース電極の一部を分割して電流検出端子とする方法が知られている。その具体的構成は次の通り

である。例えばnチャネルのMOSFETを例にとると、p型ベース層が複数の島状に分割され、その各p型ベース層にn型ソース層が形成され、これら複数のソース層とベース層が共通にソース電極に接続される。このような構造において、一つのp型ベース層のソース電極部分を他のp型ベース層部分から分離してこれを検出電極とするものである。この様にすると、ソース電極と検出電極とは短絡状態にないから、ソース電極が接地された状態でも検出電極はソース電極とは独立にドレイン電圧の上昇に伴って上昇する。従ってこの検出電極と接地電位間に例えば抵抗を挿入し、ここでの電圧降下を検出することにより素子の電流を検出することができるのである。

ところが特に導電型逆型MOSFETの場合、p型ベース層を島状に分割すると、ラッチアップ耐量が低下してターンオフできる電流値が低下するので、p型ベース層は連続的に形成し、その中に連続的にソース層を形成することが望ましい。この構造においては、単にソース電極を分割して

検出電極とする前述の方式は使えない。検出電極の電位がソース電極と独立にはならないからである。

(発明が解決しようとする課題)

以上のように従来の出力段MOSFETにおける、ソース電極を分割して電流検出電極とする過電流検出方式は、逆接するp型ベース層をもつ素子には適用できない、という問題があった。

本発明は、このような問題を解決し、逆接したp型ベース層を持つ場合にも簡単な構造でドレイン電流を検出することを可能とした過電流検出手段をもつMOSFETを提供することを特徴とする。

[発明の構成]

(課題を解決するための手段)

本発明は、第1に、第1導電型ベース層表面に第2導電型ソース層をもつMOSFETにおいて、第2導電型ベース層内に第2導電型ソース層とは独立した第2導電型の電圧検出端子層を設け、ここに電圧検出電極を設けたことを特徴とする。

第2に、第1導電型ベース層表面に第2導電型

ソース層をもつ導電変調型MOSFETにおいて、やはり第1導電型ベース層内に第2導電型ソース層とは独立に第2導電型の電圧検出端子層を設け、ここに電圧検出電極を設けたことを特徴とする。

第3に、高抵抗半導体層内の第1導電型ベース層表面に第2導電型ソース層をもつ導電変調型MOSFETにおいて、前記高抵抗半導体層内に第1導電型ベース層とは独立にソース層を持たない第1導電型の電圧検出端子層を設け、ここに電圧検出電極を設けたことを特徴とする。

本発明は更に、保護されるべき主MOSFETとこれを過電流から保護するための過電流検出用MOSFETとを、少なくともドレインを独立にしてオンチップに構成し、あるいは全く別のチップに構成して両者のソース、ゲートおよびドレイン電極を共通接続するように構成することを特徴とする。この場合、過電流検出用MOSFETのソース層を主MOSFETのそれとは別に形成してこれを電圧検出端子層とする。またその場合、過電流保護用MOSFETのドレインまたはソー

ス側にpn接合ダイオードを内蔵することにより、その降服電圧を利用し電圧検出を行なうことができる。

以上挙げた本発明のMOSFET或いは導電変調型MOSFETは、構造、製法を問わない。

(作用)

第1導電型ベース層内に第2導電型ソース層とは別に第2導電型の電圧検出端子層を設け、ここに電圧検出電極を設けると、MOSFETがオンしたとき、ソース電極が接地され第1導電型ベース層が接地されていても電圧検出端子層はチャネルを介してドレイン電圧に追従して上昇できる。従って電圧検出電極により、ドレイン電圧を検出することができ、これにより間接的にドレイン電流をモニタすることができる。電圧検出電極と接地電極間に抵抗を接続すれば、ドレイン電流の大きさを検出することができる。以上は、通常のMOSFET、導電変調型MOSFETいずれにも当はまる。特に、ラッチアップを防ぐために第1導電型ベース層が分割されず連続的に形成され

る導電変調型MOSFETによく用いられる構造では、本発明のようにソース層とは別に電圧検出端子層を設けないと、単に従来のようにソース電極を分割するだけではドレイン電流のモニタができず、この点で本発明は有効である。

一方、導電変調型MOSFETにおいては、通常のMOSFETと異なり、nチャネルであっても電子電流と同時に正孔電流が流れる。そこで第1導電型ベース層とは独立に、ソース層を設けない第1導電型の電圧検出端子層を設け、ここに電圧検出電極を設けることによって、ドレイン電流のモニタができる。

(実施例)

本発明の実施例を説明する。実施例では、第1導電型としてp型、第2導電型としてn型を用い、全てnチャネルの場合を説明する。

第1図(a)(b)(c)は、本発明の一実施例のMOSFETの要部構造を示す平面図とそのA-A'およびB-B'断面図である。高抵抗のp型Si層1の表面に選択的にp型ベース層2

が形成され、このp型ベース層2の表面にn⁺型ソース層3が形成されている。p型ベース層2のチャネル領域から離れた部分には低抵抗p型層4が形成され、その表面にp⁺型コンタクト層5が形成されている。p型ベース層2から所定距離離れたp⁻型Si層1の表面にn型バッファ層6が形成され、その表面にn⁺型ドレイン層8が形成されている。n型バッファ層6から更にチャネル側に伸びるように、n⁻型ドリフト層7が形成されている。p型ベース層2からn⁻型ドリフト層7上にまたがってゲート絶縁膜9を介してゲート電極10が形成されている。ソース電極11は、n⁺型ソース層3およびp⁺型コンタクト層5にコンタクトして形成され、ドレイン電極12は、n⁺型ドレイン層8にコンタクトし、一部ゲート電極10に重なるように配設されている。p⁻型Si層1の表面に全面にはp⁺型層13が形成されている。そしてp型ベース層2内には、n⁺型ソース層3とは独立にn⁺型の電圧検出端子層14が形成され、これに電圧検出電極15がコン

タクトしている。

このように構成されたMOSFETでのドレイン電流検出の動作は次の通りである。ソース電極11は例えば接地電位とし、ゲート電極10およびドレイン電極12にそれぞれに正の所定電圧を印加すると、ゲート電極10の下p⁻型Si層1およびp型ベース層2の表面が反転してチャネルが形成され、ドレイン電流が流れる。このとき、電圧検出端子層14はソース層3とは独立であるからチャネルを通してドレイン電圧に引かれて正電位になる。従って電圧検出電極15によりドレイン電圧を検出することができ、間接的にドレイン電流を検出することができる。電圧検出端子層3の電位は、ゲート電圧から素子のしきい値を引いた値以上になるとチャネルが消失するから、それ以上に上昇することはない。例えばこのMOSFETと共に同じ基板に集積形成された論理回路に入力して、過電流検出を行なうことができる。また、電圧検出電極15と接地端子(例えばソース電極11)との間に抵抗を挿入すれば、

ドレイン電流に応じた出力電圧を得ることができる。

こうしてこの実施例によれば、p型ベース層内にn⁺型ソース層とは独立にn⁺型電圧検出端子層を設けることにより、MOSFETの過電流検出を簡単に行なうことができる。

第2図(a)(b)(c)は、本発明を導電変調型MOSFETに適用した実施例の要部構造を示す平面図とそのA-A'およびB-B'断面図である。第1図と対応する部分には第1図と同一符号を付して詳細な説明は省略する。第1図と異なる点は、ドレイン層21がp型層21₁とp⁺型層21₂により構成されていることである。よく知られているように導電変調型MOSFETでは、オン時、ソース層から電子電流が流れると同時にドレイン層から正孔の注入があり、導電変調の効果により、低いオン電圧が得られる。この実施例でも、先の実施例と同様にp型ベース層2内にn⁺型ソース層3とは別にn⁺型の電圧検出端子層14を設け、ここに電圧検出電極15を形

成している。導電変調型MOSFETでは、若し電圧検出端子層14の電位がソース層3の電位より低いと、この電圧検出端子層部分がラッチアップしてしまう。従って例えば、電圧検出電極15とソース電極11は抵抗を介して結合し、ソース電位が最下位電位になるように設計することが重要である。

この実施例によっても、先の実施例と同様にしてドレイン電流の検出ができる。

第1図の通常のMOSFETの実施例、第2図の導電変調型MOSFETの実施例共に、ソース、ドレインおよびゲートをウェーハの一方の面に形成した積型としたが、ドレインとソースをウェーハの対向する面に形成する縦型の場合にも、同様にソース層側にソース層とは独立に同じp型ベース層にn⁺型電圧検出端子層を設けることにより、ドレイン電流の検出ができる。

第3図(a)(b)(c)は、縦型の導電変調型MOSFETに適用した実施例の要部構造を示す平面図とそのA-A'およびB-B'断面図で

ある。第2図と対応する部分には、第2図と同一符号を付して詳細な説明は省略する。第2図の実施例での n^- 型ドリフト層7に対応する n^- 型ベース層7がウェーハとなり、この表面に p 型ベース層2が選択的に形成され、 p 型ベース層2の表面に n^+ 型ソース層3が形成されている。 n^- 型層7の下に n 型バッファ層6があり、その下に p^+ 型ドレイン層21が形成されている。 n^+ 型ソース層3が形成された p 型ベース層2内にソース層3とは独立に n^+ 型電圧検出端子層14を設け、ここに電圧検出電極17をコンタクトさせていることは、先の実施例と同じである。

この実施例によっても、先の実施例と同様にしてドレイン電流の検出が可能である。ラッチアップ耐量を十分大きいものとするため、表面の p 型ベース層2は連続的に形成してこれも連続的に形成されるソース層と共通にソース電位に設定することが望ましいが、このような場合でも本発明は有効である。即ち n^+ 型電圧検出端子層14は、 n^+ 型ソース層3とは独立に設けられ、電圧検出

電極15はこの電圧検出端子層14にのみコンタクトするため、ソース電位と独立にドレイン電圧に追従して上昇できるからである。

第4図は、更に他の実施例の導電変調型MOSFETの断面図である。第3図と対応する部分には第3図と同一符号を付して詳細な説明は省略する。導電変調型MOSFETでは前述のように電子電流と正孔電流が存在する。従って通常のMOSFETと異なり、 n^+ 型ソース層を設けない p 型ベース層を設けて、ドレイン電流検出が可能である。第4図はその様な実施例であり、 n^- 型ベース層7の表面に p 型ベース層2とは独立に、ソース層のない p 型の電圧検出端子層23を設け、ここに電圧検出電極15を設けている。 p 型ベース層2は、ラッチアップ防止のため連続的に繋がっているが、電圧検出端子層23をこれとは分離して形成している。

素子がオンのとき、ドレイン層21から正孔電流が流れるため、 p 型電圧検出端子層23によりこれを検出することができ、従ってドレイン電流

を知ることができる。 p 型電圧検出端子層23は p 型ベース層2とは独立であるが、内部に n^+ 型層がないためここでラッチアップが生じる虞はない。こうしてこの実施例によっても、先の各実施例と同様に過電流検出が可能である。

以上においては、MOSFETの一部に電圧検出端子層を設けた実施例を説明したが、本発明は過電流から保護されるべき主MOSFETとその過電流を検出するための検出用MOSFETとを少なくともドレイン層を別々にして独立に形成することもできる。その様な実施例を以下に説明する。

第5図(a)(b)はその様な実施例の要部構造と等価回路である。保護されるべき主MOSFET- T_1 と過電流検出用MOSFET- T_2 とを、同じ p^- 型高抵抗シリコン層1内に第5図(b)に示すように別々に形成したものである。主MOSFET- T_1 はここでは導電変調型MOSFETであり、その構造は例えば第2図(b)に示すものとする。主MOSFET-

T_1 が通常のMOSFETであってもよい。過電流検出用MOSFET- T_2 は、主MOSFET- T_1 とは p 型ベース層4を共用して第5図(a)に示すように構成される。即ち、 p 型ベース層2表面に n^+ 型ソース層14が主MOSFET- T_1 のそれとは別に形成され、この n^+ 型ソース層14を電圧検出端子層としてここに電圧検出電極15が設けられる。また主MOSFET- T_1 のドレインとは別に n 型ドレイン層31、 n^- 型ドリフト層32が形成されている。 n 型ドレイン層31の表面には、 p 型層33、更にその表面に n^+ 型層34が形成されて pn 接合ダイオードD1が構成されている。ソース電極11、ゲート電極10およびドレイン電極12は、主MOSFET- T_1 と過電流検出用MOSFET- T_2 とで共通であり、過電流検出用MOSFET- T_2 のドレイン層31とドレイン電極12の間に pn 接合ダイオードD1が内蔵された形になる。なお、ゲート電極11は過電流検出用MOSFET- T_2 では p 型ベース層4に

対して p^+ 型層5を介してオーミック・コンタクトさせている。また過電流検出用MOSFET- T_2 は、主MOSFET- T_1 に比べて電流容量が十分に小さいもの即ちゲート幅の小さいものでよい。

このように構成された素子に過電流が流れるとドレイン(D)、ソース(S)間の電圧が上昇する。この電圧がダイオードD1のブレイクダウン電圧を超えると、このダイオードD1を介し、過電流検出用MOSFET- T_2 の電圧検出電極15に電圧が出力され、過電流が検出される。従ってこの実施例では、過電流検出を行なっている主たる要素は $p-n$ 接合ダイオードD1ということになる。このダイオードD1に直列接続されたMOSFET- T_2 は、電圧検出電極15に得られるレベルが上昇するのを抑制する働きをしている。

過電流検出を例えば、抵抗による電圧降下をモニタすることにより行なった場合、得られる出力電圧は電流に比例したものとなる。この場合第

11図に示すように予め過電流値を設定してその値を超えた時に過電流が流れたという判定を行なう。この方法では、抵抗が温度変動によって第11図に直線a、bで示したように変化するため、実際に検出する電流値は変化することになる。例えば、直線aに従って過電流値Aを設定してこれに対応する出力電圧 V_{out} で保護回路を作動させるようにした場合を考える。この場合、実際の抵抗値が直線bで示される状態になると、設定した過電流Aより大きい電流Bになって始めて保護回路が作動することになり、素子を有効に保護することができなくなる。第5図に示す実施例では、 $p-n$ 接合ダイオードの降服電圧を用いているため、このような問題がない。 $p-n$ 接合ダイオードの降服電圧は温度による変動が小さいからである。

またこの実施例は、検出出力電圧がMOSFETの働きでレベルが抑えられるため、保護回路を構成するロジックに入力する場合に有利である。

第6図(a)(b)は、上記実施例を僅かに変

形した実施例である。従って第5図と対応する部分には第5図と同一符号を付して詳細な説明は省く。等価回路的には、第5図(b)と第6図(b)を比較して明らかなように同じである。この実施例では、 n 型ドレイン層31、と別にこれから所定距離離れて n 型バッファ層312が設けられる。 n 型ドレイン層31、と n 型バッファ層312の間は配線35により接続される。配線35のドレイン層31、とのコンタクト部には p^+ 型拡散層33が設けられ、バッファ層312とのコンタクト部には n^+ 型拡散層36が設けられている。即ち、 n 型ドレイン層31、内でこれと p^+ 型層33との間で $p-n$ 接合ダイオードD1が構成されている。 p^+ 型拡散層33と n^+ 型拡散層36の配置を逆にしてもよく、このようにすれば n 型バッファ層312内に $p-n$ 接合ダイオードD1が構成されることになる。

この実施例によっても、先の実施例と同様の効果が得られる。

第7図(a)(b)(c)は、第1図(a)

(b)(c)の実施例を変形した実施例である。この実施例では、 p 型ベース層2とは独立にこれと n -型ドリフト層7との間に p 型層36が形成され、この p 型層36の表面に n^+ 型の電圧検出端子層14が形成され、この電圧検出端子層14に電圧検出電極15が形成される。そして電圧検出端子層14の周囲の n 型ソース層3および n -型ドリフト層7のとの間の領域をチャネル領域としてここにゲート絶縁膜9を介してゲート電極10が配設されている。

この実施例においては、電圧検出端子層14は、ゲート電極10に電圧を印加した時チャネル抵抗を介してソース電極11につながる。過電流が流れた時はそのチャネル抵抗によって電圧検出電極15に電圧が出力され、これにより過電流検出が行われる。

この実施例の構成は、通常のMOSFETだけでなく、導電変調型MOSFETにも適用できる。

第8図(a)(b)(c)は、同様に第1図(a)(b)(c)を変形した実施例である。こ

の実施例では、第1図の実施例での検出電極15に相当するものを一次検出電極15₁とし、多結晶シリコン膜により構成したpn接合ダイオードを間に挟んで二次検出電極15₂が設けられている。多結晶シリコン膜によるダイオードは、絶縁膜上に形成された多結晶シリコン膜にn型層37とp型層38を形成することにより得られる。

この実施例は、第1図の実施例での電圧検出電極に直列にpn接合ダイオードを接続して端子を取出したものということができる。このpn接合ダイオードは、第5図および第6図の実施例での過電流検出用MOSFETのドレイン側に入れたpn接合ダイオードと同じ働きをする。即ち過電流が流れた時のドレイン・ソース間電圧がこのpn接合ダイオードの降服電圧を超えた時に始めて、電圧検出電極15₂に出力電圧が現われる。

従ってこの実施例によれば、第5図あるいは第6図の実施例と同様の効果が得られる。多結晶シリコン膜によるpn接合ダイオードは、ゲート電極形成工程と同時に形成できるので、特に工程が

複雑になることもない。

この実施例の構成も通常のMOSFETの他、導電変調型MOSFETにも適用できる。

第9図(a)(b)(c)は、第2図(a)(b)(c)の構成を僅かに変形した実施例である。この実施例では、p型ベース層2、4の中の高抵抗ベース層2部分にp+型の電圧検出端子層40が形成され、これに電圧検出電極15が設けられる。

この実施例は、ソース層3の前のp型ベース層2の電位を検出することにより、過電流検出を行なうものである。従ってこの実施例が対象とする素子は、導電変調型MOSFETに限られる。導電変調型MOSFETにおいては、オン時電子電流と同時に正孔電流が流れ、過電流が流れた時にはp型ベース層2に大きい正孔電流が流れる結果、このp型ベース層2の電位が上昇する。従ってこのp型ベース層2の電位上昇によって過電流検出ができることになる。

第10図は、第7図の構成をより簡単にした他

の実施例のMOSFETである。この実施例では、n⁻型ドリフト層7の一部を分断した形でp型ベース層2とn⁻型ドリフト層7の間にn⁻型層からなる電圧検出端子層41が形成され、ここに電圧検出電極15が設けられる。n⁻型電圧検出端子層41はチャネルによりn⁺型ソース層3およびn⁻型ドリフト層7につながるように、周囲にゲート絶縁膜を介してゲート電極10が配設されている。

この実施例では、第7図の実施例における同様に、過電流が流れるとチャネル内の電位が上昇し、これが電圧検出電極15により検出される。この実施例の構成も、通常のMOSFETの他、導電変調型MOSFETにも適用できる。

第5図および第6図の実施例では、主MOSFETとしての導電変調型MOSFET-T₁と過電流検出用のMOSFET-T₂を、p型ベース層を共用して同一ウェハに形成する場合を説明したが、これらを異なるウェハに形成して後に配線で接続してもよい。また、電圧検出のた

めのpn接合ダイオードを内蔵しない構成の場合にも、第12図に示すように主MOSFETとしての導電変調型MOSFET-T₁と過電流検出用のMOSFET-T₂とを、ドレイン層を分離して同じウェハ上に形成することができ、あるいはこれらを別々のウェハに形成して、後に配線で接続するようにしてもよい。主MOSFETが通常のMOSFETである場合も同様である。

第13図は、保護回路を含めた実施例を示す。この実施例では、過電流検出用の電圧検出端子DETを有する導電変調型MOSFET-Tの例を示している。このMOSFET-Tが図示のように負荷55と電源54の回路に挿入される。導電変調型MOSFETのゲート端子Gには、波形整形回路53を介して制御信号が入力される。ゲート端子Gとソース端子S間には、この間を短絡するためのMOSFET-Qが設けられている。導電変調型MOSFET-Tの電圧検出端子DETにはレベル検出回路51が設けられ、その出力が波形整形回路52を介してMOSFET-

Qのゲートに入力される。

この回路の動作を第14図を用いて説明する。第14図に示すように制御信号が入力されると、これが波形整形回路53を介して導電変調型MOSFET-Tに入力され、導電変調型MOSFET-Tはターンオン、ターンオフする。このとき導電変調型MOSFET-Tの電圧検出端子DETには、素子に流れる電流に対応した電圧が出力されるが、その値がレベル検出回路51により設定された値を超えない限り、レベル検出回路51には出力として出ない。これが正常動作である。

負荷55の短絡事故等が発生して導電変調型MOSFET-Tに過電流が流れたとする。このとき、電圧検出端子DETには高い電圧が出力され、これがレベル検出回路51で設定された値を超えるとレベル検出回路51に出力が得られ、これが波形整形回路52を介してMOSFET-Qのゲート端子に供給される。この結果、MOSFET-Qがオンすると導電変調型

MOSFET-Tのゲート・ソース間が強制的に短絡され、導電変調型MOSFET-Tはターンオフする。導電変調型MOSFET-Tがターンオフすると電圧検出端子DETの出力電圧は低下するから、MOSFET-Qはオフになる。そして再び制御信号が入って導電変調型MOSFET-Tがターンオンしても、同様に過電流が検出されてターンオフする。こうして導電変調型MOSFET-Tは、過電流による破壊から守られる。

第15図は、別の実施例の保護回路である。この実施例では、過電流により保護すべき素子をターンオフするのみならず、制御信号の入力も禁止するようなゲート手段を設けている。なお第13図と対応する部分には第13図と同一符号を付して詳細な説明は省く。この実施例では、保護されるべき主MOSFETである導電変調型MOSFET-T₁と過電流検出用MOSFET-T₂が同じウェハ上に別々に、あるいは別のウェハに形成されている。制御信号は2入力AND

ゲート56を介した後、波形整形回路53を介して素子の共通接続されたゲート端子G(G₁, G₂)に入力される。ANDゲート56の出力はまた、遅延回路58を介してレベル検出回路51の出力と共に2入力ANDゲート57に入力される。このANDゲート57の出力は素子のターンオフ制御と同時に制御信号の入力を禁止するために用いられるものである。即ちANDゲート57の出力は、波形整形回路を介して保護すべき素子のゲート・ソース間に設けられたMOSFET-Qのゲートに供給される。またANDゲート57の出力はラッチ回路59に入り、このラッチ回路59の出力がインバータ60を介してANDゲートの一方の入力端子に入る。

このように構成された保護回路の動作を次に第16図を参照して説明する。正常動作時は、ラッチ回路59がリセットされていてその出力が“L”レベル、従ってインバータ60により“H”レベルがANDゲート56の一方に入っている。この状態で制御信号の“H”レベルはANDゲート

56を通り、波形整形回路53を介して素子のゲート端子Gに供給される。これにより導電変調型MOSFET-T₁とMOSFET-T₂はターンオンする。ここで、導電変調型MOSFET-T₁がターンオンするには遅れ時間があり、その間ドレイン・ソース間の電圧はほぼ電源電圧に等しい値になる。この結果、電流検出用MOSFET-T₂の検出端子DETには、そのドレイン・ソース間電圧に比例した高い電圧が得られ、これがレベル検出回路51のしきい値を超えて、レベル検出回路51から出力が出る可能性がある。しかしこの出力は、遅延回路58の働きによって保護回路を動作させない。即ち、ANDゲート56の出力は遅延回路58によって一定の遅れをもってANDゲート57に入力されるため、この遅延時間を導電変調型MOSFET-T₁のターンオンの遅れよりも大きくしておけば、レベル検出回路51に“H”レベル出力が得られても、ANDゲート57の2入力と同時に“H”レベルになることはない。従ってANDゲート57か

らは素子をターンオフし、また制御信号の入力を禁止するための“H”レベル出力は得られない。これにより、制御信号に応じて導電変調型 MOSFET-T₁ のターンオン、ターンオフが制御される。

負荷55の短絡事故等により過電流が流れると、過電流検出端子DETに高い出力電圧が得られ、これがANDゲート57に入る。このときは、ターンオン初期と異なり制御信号は既に“H”レベルになっていて、ANDゲート57のもう一方の入力も“H”レベルであるから、ANDが成立してこのANDゲート57の出力に“H”レベルが得られる。この“H”レベル出力が波形成形回路52を介してMOSFET-Qのゲート端子に供給される。これによりMOSFET-Qがオンして導電変調型 MOSFET-T₁ のゲート・ソース間が短絡され、導電変調型 MOSFET-T₁ はターンオフする。一方、ANDゲート57の“H”レベル出力はラッチ回路59に保持されてその出力が“H”レベルに固定される。これによ

り、インバータ60を介してANDゲート56の一方の入力に“L”レベルが入り、その後の制御信号の“H”レベルの通過が禁止される。この状態は、ラッチ回路59にリセット信号が入力されるまで、保持される。

こうしてこの実施例によれば、過電流を検出して一旦導電変調型 MOSFET がターンオフすれば、その後の制御信号の入力も禁止され、回路がリセットされない限り再び導電変調型 MOSFET がターンオンすることはない。従って先に実施例に比べてより確実に素子の破壊が防止される。

【発明の効果】

以上述べたように本発明によれば、簡単な構造で過電流検出機能を備えた通常の MOSFET および導電変調型 MOSFET を得ることができる。

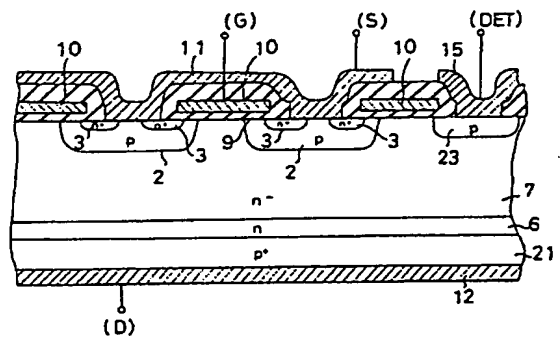
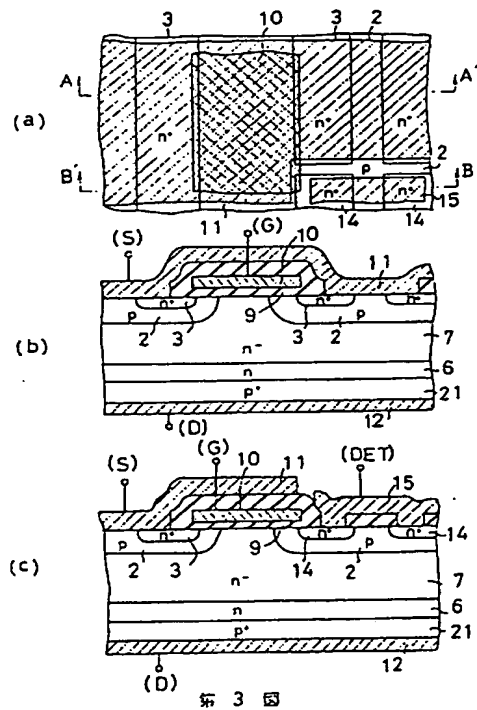
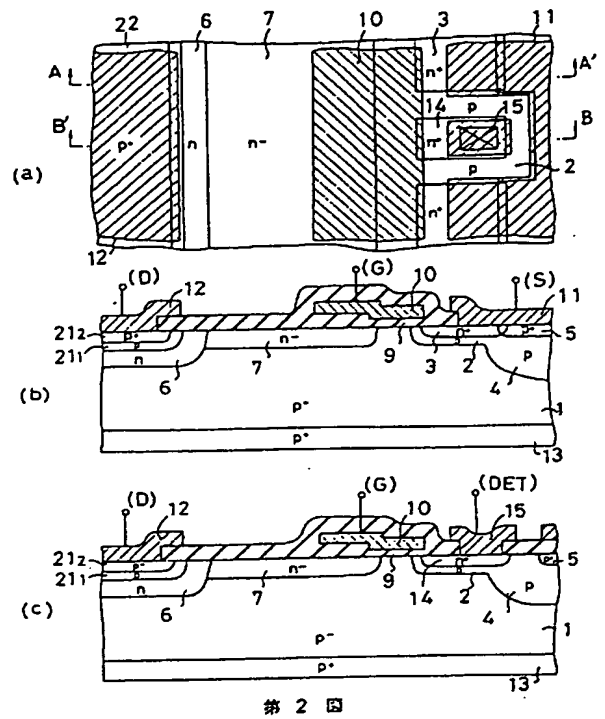
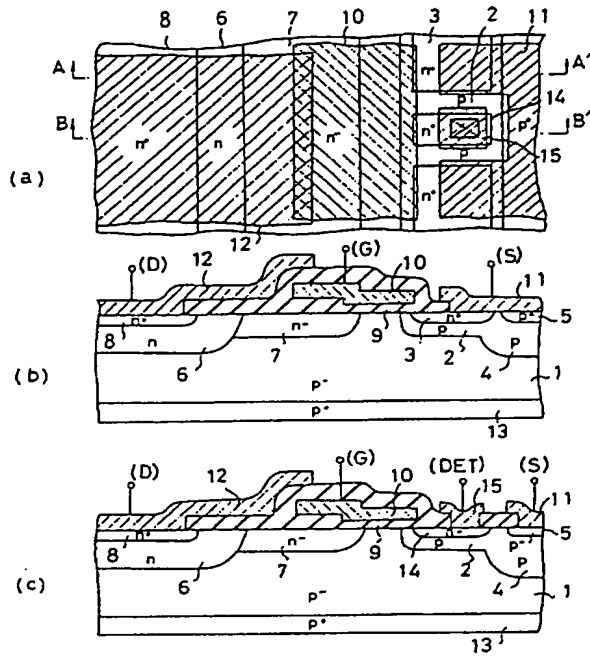
4. 図面の簡単な説明

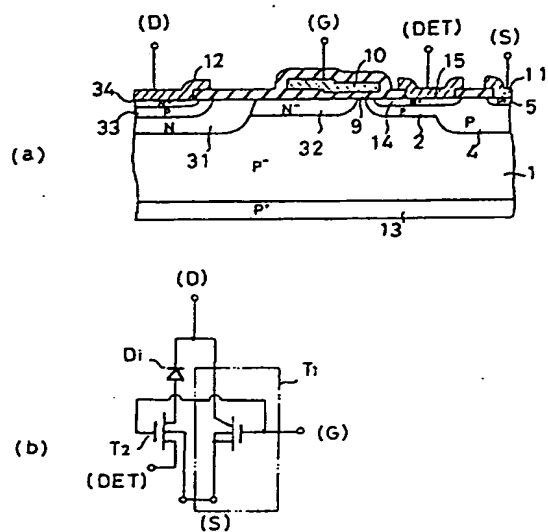
第1図(a)(b)(c)は、本発明の MOSFET の実施例の要部構造を示す平面図とそのA-A'およびB-B'断面図、第2図(a)

(b)(c)は横型の導電変調型 MOSFET の実施例の要部構造を示す平面図とそのA-A'およびB-B'断面図、第3図(a)(b)(c)は縦型の導電変調型 MOSFET の実施例の要部構造を示す平面図とそのA-A'およびB-B'断面図、第4図は導電変調型 MOSFET の他の実施例の要部構造を示す断面図、第5図(a)(b)は、ダイオード内蔵の過電流検出用 MOSFET を有する導電変調型 MOSFET の実施例の要部構造と等価回路を示す図、第6図(a)(b)はそれを変形した実施例の要部構造と等価回路を示す図、第7図(a)(b)(c)は、第1図(a)(b)(c)の実施例を変形した実施例の構造を示す平面図とそのA-A'およびB-B'断面図、第8図(a)(b)(c)は同じく第1図(a)(b)(c)の実施例を変形した実施例の構造を示す平面図とそのA-A'およびB-B'断面図、第9図(a)(b)(c)は同じく第1図(a)(b)(c)の実施例を変形した実施例の構造を示す平面図とそのA-A'およびB-B'断面図、第10図は更に他の実施例の MOSFET を示す断面図、第11図は、抵抗に

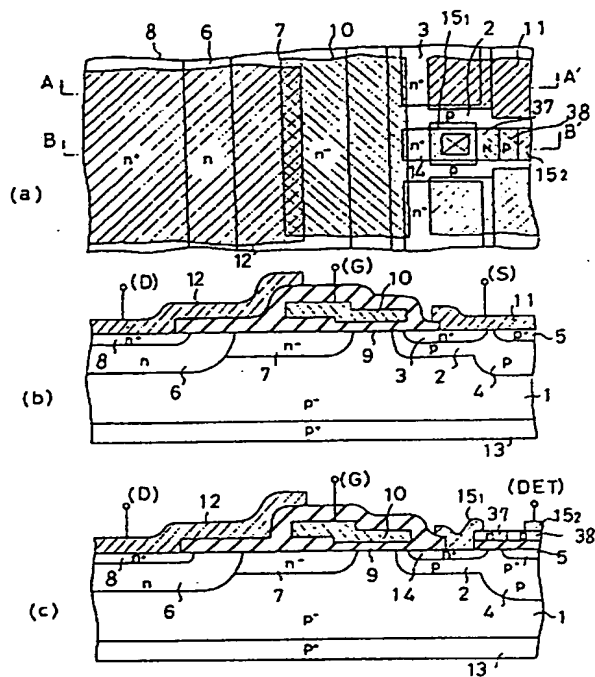
より電流検出を行なう場合の問題を説明するための図、第12図は、主 MOSFET と過電流検出用 MOSFET を別に構成した場合の等価回路図、第13図は具体的な保護回路の実施例を示す図、第14図はその動作を説明するためのタイミング図、第15図は他の保護回路の実施例を示す図、第16図はその動作を説明するためのタイミング図である。

1…p⁺型S1層(高抵抗半導体層)、2…p型ベース層、3…n⁺型ソース層、4…低抵抗p型ベース層、5…コンタクト層、6…n型バッファ層、7…n⁻型ドリフト層(ベース層)、8…n⁺型ドレイン層、9…ゲート絶縁膜、10…ゲート電極、11…ソース電極、12…ドレイン電極、13…p⁺型層、14…n⁺型電圧検出端子層、15…電圧検出電極、21…p型ドレイン層、23…p型電圧検出端子層、T₁…導電変調型 MOSFET (主 MOSFET)、T₂…過電流検出用 MOSFET、D₁…pn接合ダイオード。

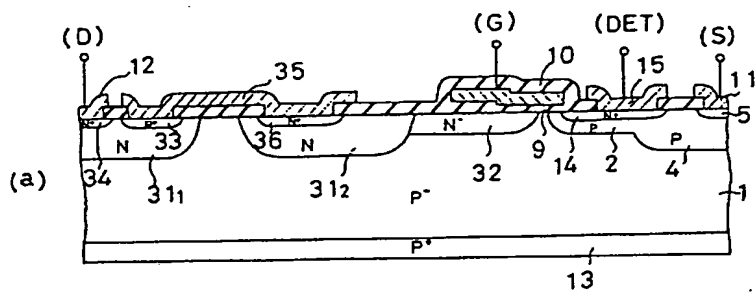




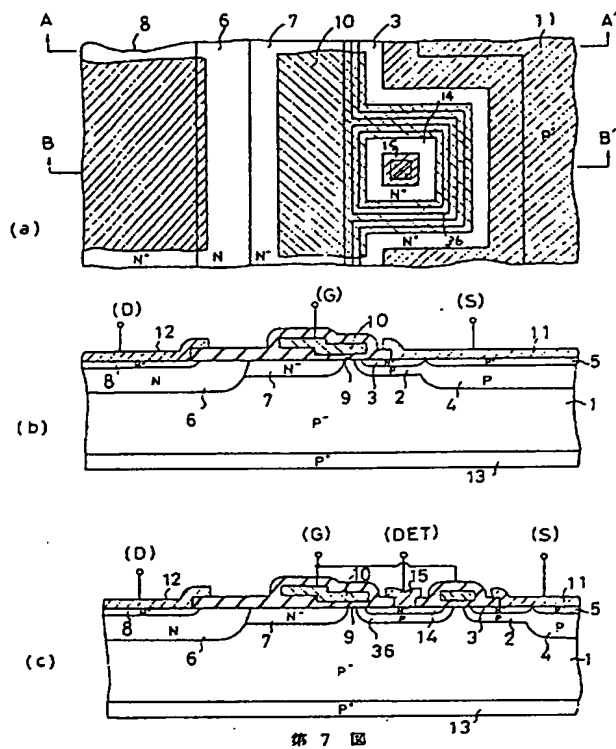
第 5 圖



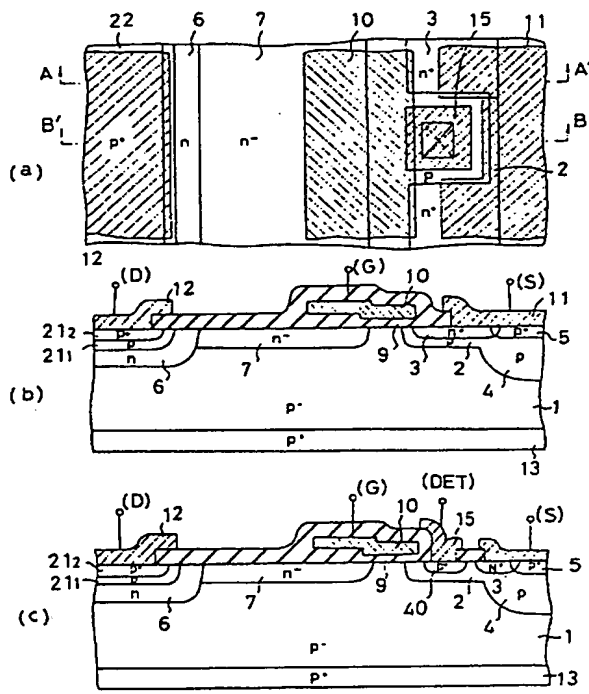
第 8 圖



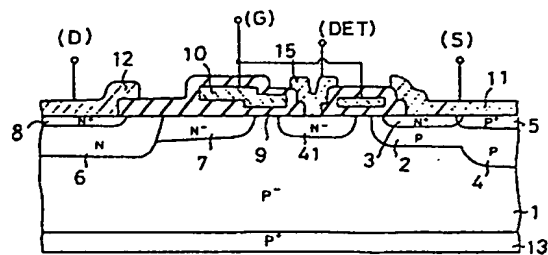
第 6 圖



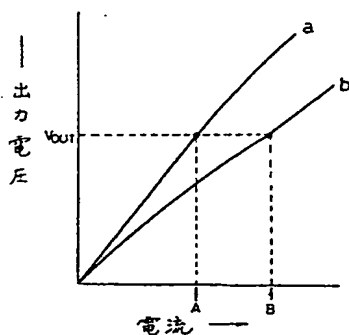
第 7 区



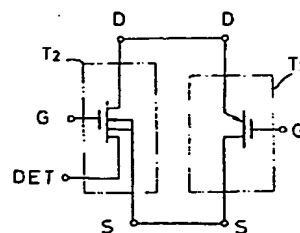
第 9 圖



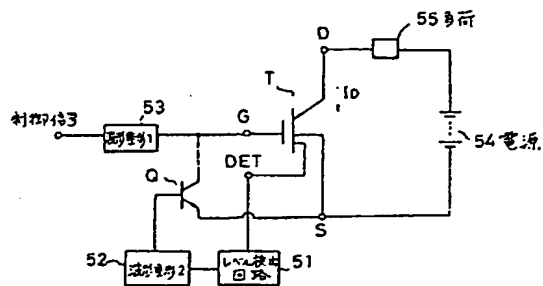
第 10 図



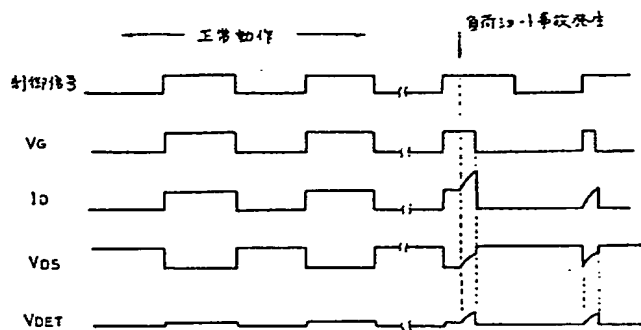
第 11 図



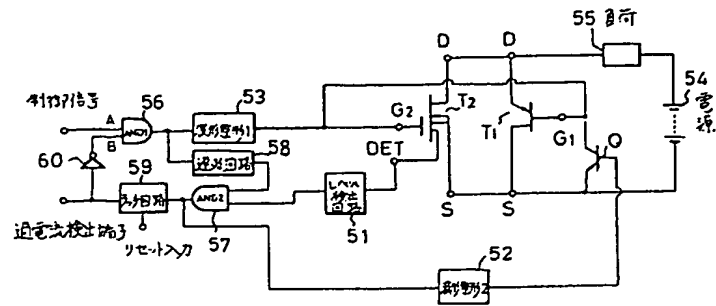
第 12 図



第 13 図

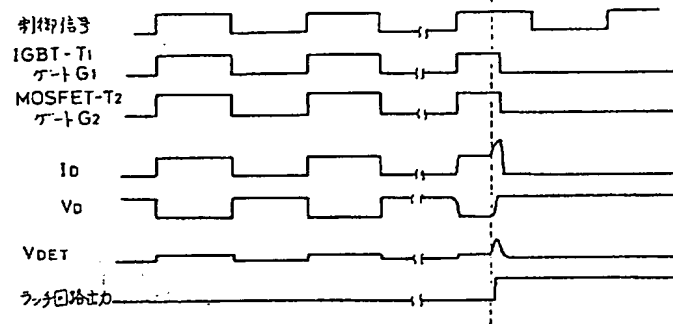


第 14 図



第 15 図

導致発生過電流流入



第 16 図

This Page Blank (uspto)